

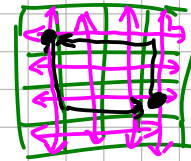
Intel 200x: projekt Larrabee

Xeon Phi - Knights Landing (2013)

- 72 jader: Atom Avirmont
4-way HyperThreading
2 512-bit. vektorové jednotky
↳ AVX 512

- 16 GB DRAM na čipu
bude std. RAM → cache k ext. RAM
directory-based coherence

- fyzicky: mřížka 7x7 vláček



- 2x core + 1MB L2
- int. DRAM
- ext. DRAM controller
- PCIe interface

dnes u mnohojádrových CPU
18-jádrový Skylake: 5x4 vláček

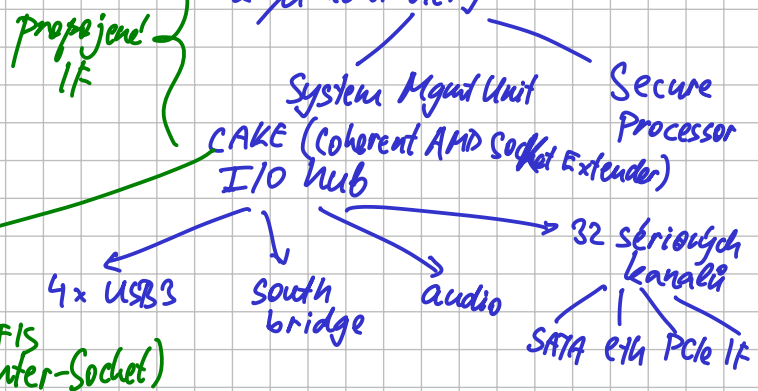
AMD Zen 2017

- jádro: 64K L1I 4-way
32K L1D 8-way
512K L2 8-way
2 threads

Infinity Fabric
- vychází z HyperTransportu

CCX Core Complex: 4 jadra
8M L3 cache
+ directory
iface na IF

Zeppelin (čip): 2x CCX
2x UMC: Unified Mem. Controllers
2 u-kontroléry



Starobuice → Ryzen: 1x Zeppelin (8 jader)
 16 MB L3
 → Ryzen Threadripper: 2x Zeppelin (16 jader)
 → EPYC: 4x Zeppelin (32 jader)
 APU: jiný čip, na něm: 1x CCX + GPU + I/O hub

Zen 2 (2019)

- CCX má 16M L3 cache
- chiplety — 2x CCX (8 jader)
 - client I/O
 - server I/O
- APU: 2x CCX + GPU

Zen 3 (2020)

- CCX má 8 jader + 32 MB L3 cache
 - ale chiplet má jen 1x CCX
- ↳ menší latence

Bezpečnostní chyby

200x: prosakování informací o šifrovacích klíčích

2017: Meltdown, Spectre
 (zveřejněno 2018)

→ ingredience:

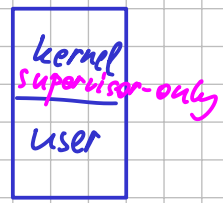
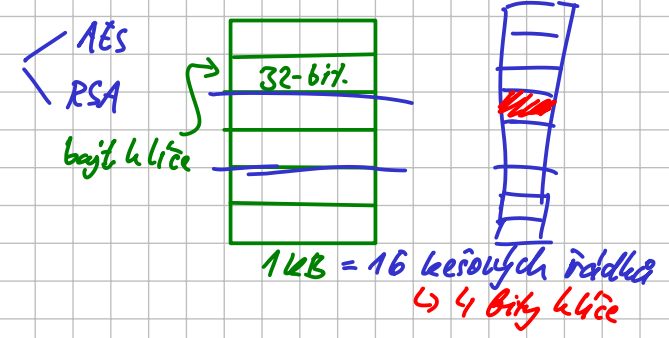
- spekulace
- side-efekty → cache
- na HT vyřizovací jednotek

→ obcházení přístupových práv ke stránkám

[X ← [privilegovaná paměť]
 side-efekt závislý na X

→ výsledek: výhradně Intel

→ work-around: rozdělení adresních prostorů kernel vs. user-space



trik na "seřadaci" výjimky
 ← TSX → schová za nespředikovaný stack