

MMU, TLB

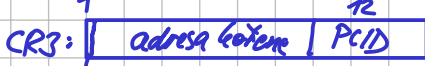
• na PC jsou cache vždy koherentní, ale TLB občas není

tradičně: při zápisu do CR3

TLB flush

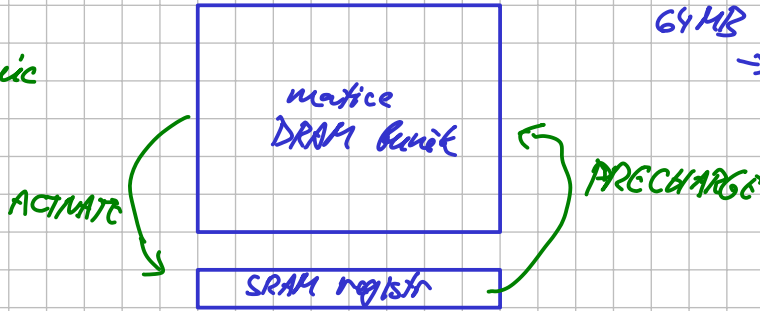
↓ INVUD
explicitní invalidace konkrétní stránky
↓ globální pokročilý

PCID (Process Context ID)



flush context → INVPCID

SDRAM
↑ Dynamic Synchronous

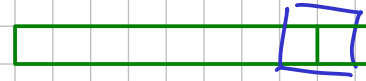


64MB = 2²⁶ B
→ [2¹³ × 2¹³]
8kB

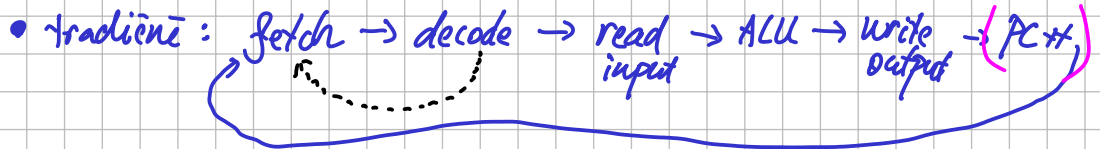
realita: - více registrů

při programování pozor na:

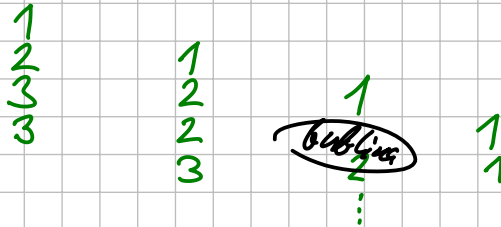
- velikost dat
- lokalitu dat
- zarovnání
- zápisy jsou pomalejší



Zpracování instrukcí

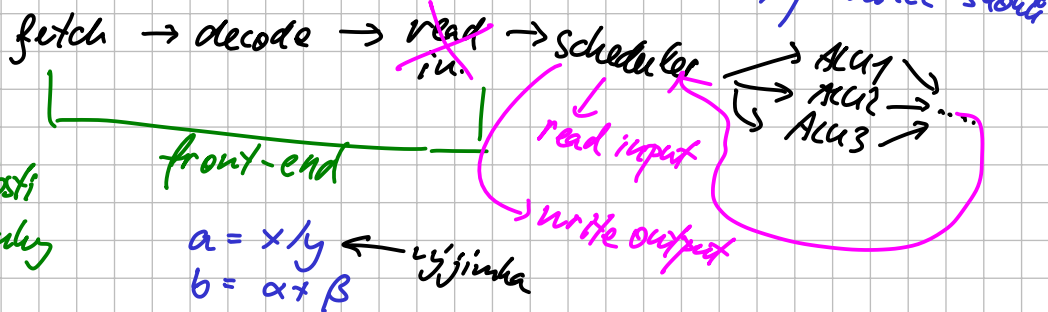


• pipelining:



parametry:
- latence
- propustnost

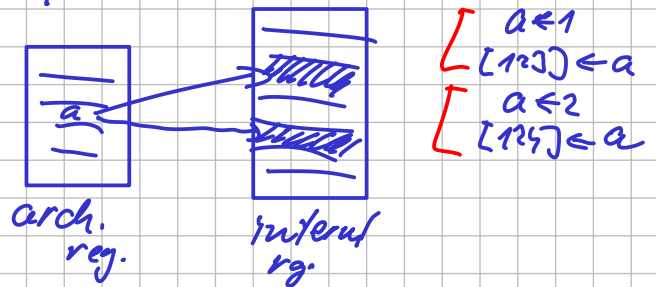
• superskalární procesor



problémy: ① závislosti ② výjimky

a = x/y
b = a + b

- μ -operace
- klíčové μ -op (cmp + jcc)
- register renaming
- spekulativní vyhodnocování



Predikce skoků

① statická predikce

② dynamická pr. — Branch Target Buffer

saturující čítač

