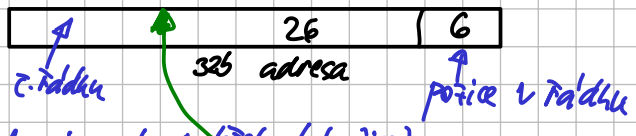


paměti

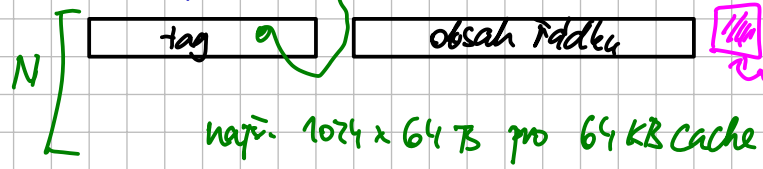
- statická
- dynamická
 - zapomínání → oběť stránky
 - destrukční čtení

1) pět asociativní cache

- zavedené řádky (bloky) ... typ. 64 bytů



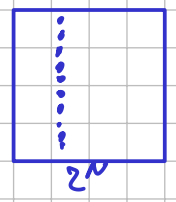
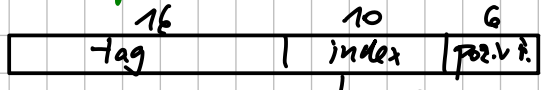
- cache je pole položek (dvojice)



- uvolňování místa
 - typ. strategie LRU (Least-Recently Used)

- co se zapisuje?
 - write-through
 - write-back
 - zapsání čtení

2) přímo mapovaná cache



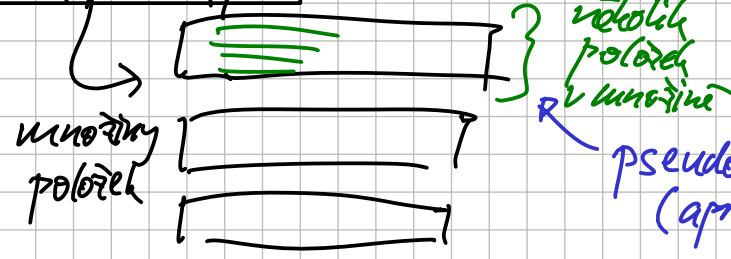
výhody: jednoduchá implementace, rychlé

nevýhody: řešení neefektivní aliasuje

3) množinově asociativní cache



Pr.: 4-cestná 64 KB cache



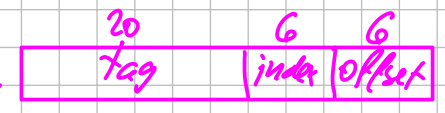
výhody: pořád rychlé, aliasuje méně

pseudo-LRU v množině (aprox. konečným automatem)

* Hierarchie více úrovní

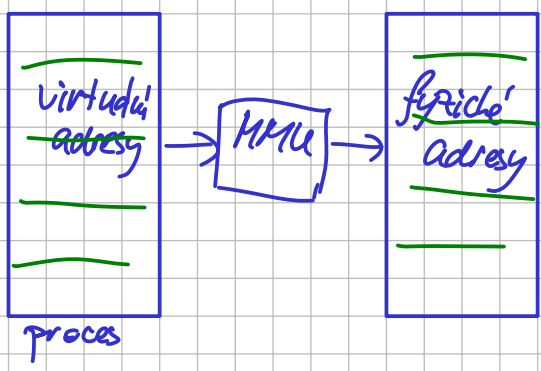
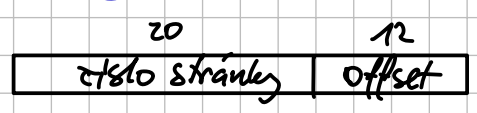
Typické parametry: Intel Core 2

| | | |
|-----|-------|----------|
| L1I | 32 KB | 4-cestná |
| L1D | 32 KB | 8-cestná |
| L2 | 2 MB | 8-cestná |



64B/řádek → aliasuje po 4KB
→ po 256 KB

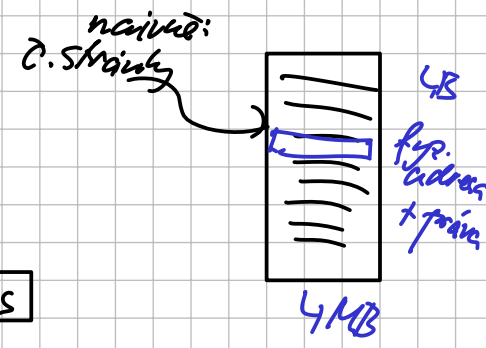
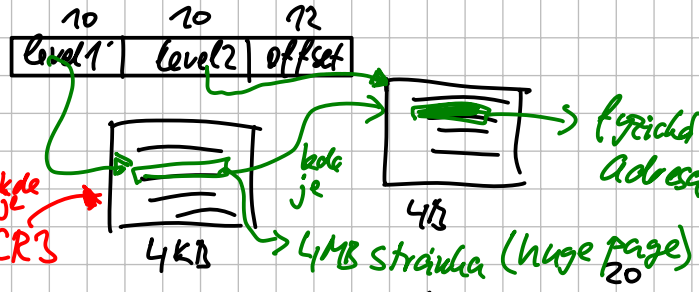
Memory Management Unit



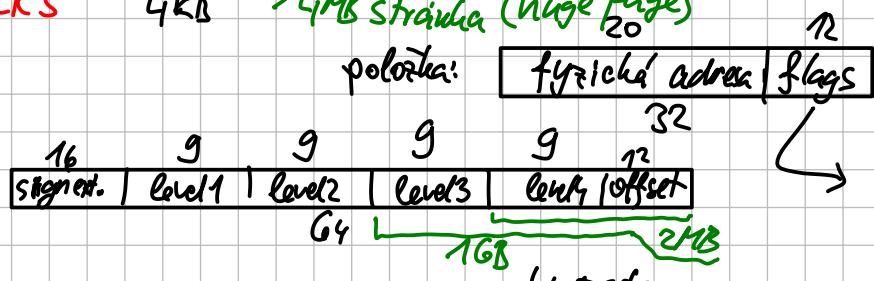
ARM - klasické
Thumb

Stránky typ. 4 KB

32-bit



64-bit



- present
- writeable
- user / supervisor
- accessed
- dirty
- global
- kesovatelnost

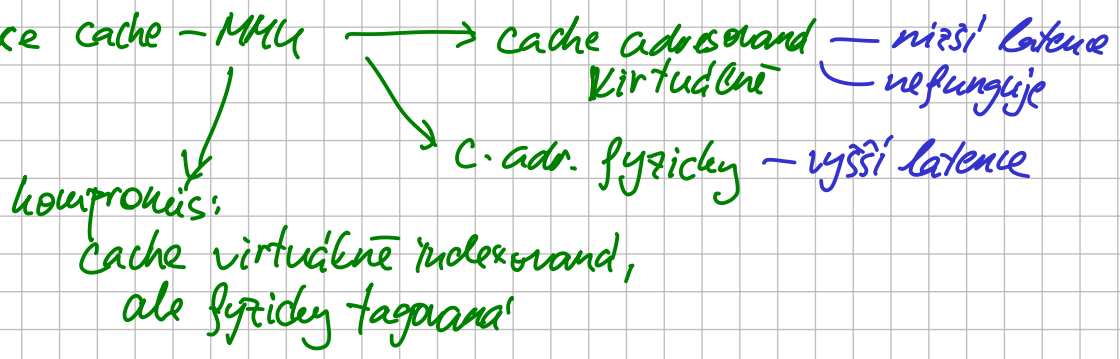
4KB stránky
8B položky tabulek

vrchol trie má 512 položek (96 adresy)

TLB (Translation Look-aside Buffer) → cache na překlady

Core 2: ITLB1 128 položek (?)
 DTLB1 loads only, 16 malých + 16 velkých 4-cestne!
 TLB2 256 malých + 32 velkých 4-cestne!

Interakce cache - MMU



Příklad:

